

STABILITA' DEL CONVERTITORE SEPIC (Single Ended Primary Inductance Converter)

A. Cantillo, A. De Nardo, N. Femia, W. Zamboni

Dipartimento di Ingegneria dell'Informazione ed Ingegneria Elettrica - DIIE
Università degli Studi di Salerno
Via Ponte Don Melillo, 84084 Fisciano (SA)

L'attività di ricerca condotta dall'Unità di Salerno si inquadra nell'ambito di un progetto finalizzato alla formulazione di metodologie per la progettazione e l'ottimizzazione di convertitori *switching* DC-DC. Il convertitore SEPIC (Fig.1) è particolarmente indicato in applicazioni battery-powered e fotovoltaiche, data la sua caratteristica di elevatore/abbassatore non invertente unita alla presenza di un'induttanza sul ramo di ingresso. Se opportunamente dimensionata, tale induttanza può consentire la riduzione delle armoniche di corrente iniettate sulla linea minimizzando le dimensioni di eventuali filtri aggiuntivi.

Il SEPIC presenta un comportamento dinamico per piccoli segnali assimilabile a quello di un sistema del IV ordine, nettamente più complesso rispetto ad altri convertitori step up/down (e.g. buck-boost, flyback). L'utilizzo della tecnica di controllo in corrente di picco, estremamente diffusa, può facilmente portare all'instabilità del convertitore. Per tali ragioni è stato sviluppato un modello dinamico accurato dello stadio di potenza e del controllore in corrente. In particolare, il controllore è stato modellato rimuovendo l'ipotesi, largamente utilizzata in letteratura, di uguaglianza tra tensione di ingresso v_{in} e tensione su condensatore di accoppiamento v_s . Sulla base dei modelli sviluppati è stato investigato l'impatto di diverse scelte progettuali sulla stabilità, in presenza di ampie variazioni delle condizioni di funzionamento.

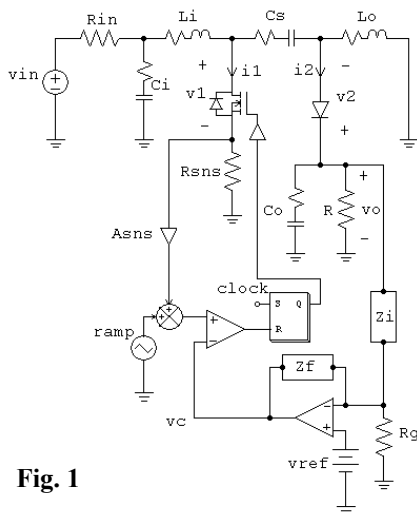


Fig. 1

In [1], [2], [3] è stato evidenziato l'impatto della scelta di L_i , L_o sulla stabilità del convertitore. In particolare, date le specifiche di funzionamento ed i parametri del controllore, opportune routine numeriche hanno consentito di ricavare la regione di stabilità del SEPIC in funzione delle coppie L_i - L_o . In Fig. 2 è riportato un esempio di regione di stabilità, con riferimento ad uno specifico esempio di progetto. Sempre per via numerica è stato investigato il ruolo di C_s sulla stabilità e sul fattore di smorzamento della risposta della tensione v_s ad un gradino di ingresso. I risultati ottenuti consentono di dimensionare opportunamente i componenti passivi del power stage, in funzione del ripple di corrente di ingresso desiderato (che condiziona

L_i), della stabilità e del fattore di smorzamento desiderato.

In [4], è stata studiata l'influenza dei parametri del controllore in corrente sulla stabilità del convertitore. In particolare, si è fatta l'ipotesi di dimensionare le induttanze L_i ed L_o esclusivamente in base alle specifiche di ripple in steady state. E' stato individuato un legame analitico tra la capacità C_s ed un valore critico per il guadagno del controllore in corrente F_m . A seconda che il rapporto tra le induttanze L_o ed L_i sia maggiore o minore del rapporto di

conversione M, F_m deve essere superiore o inferiore a tale valore critico (F_{m_crit}) per ottenere la stabilità del convertitore. E' stato inoltre individuato un valore minimo per C_s al di sotto del quale la stabilità del convertitore non è conseguibile. I risultati sono illustrati in Fig. 3 con riferimento ad un esempio specifico.

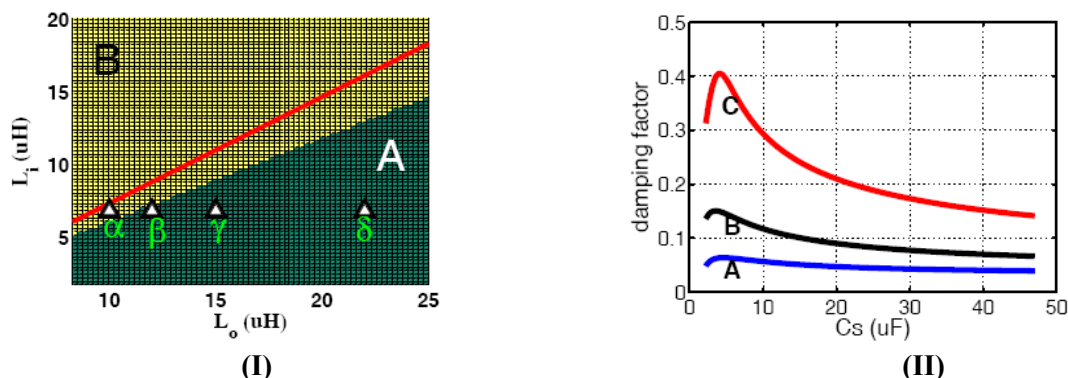


Fig. 1. (I) regione di stabilità del SEPIC. Regione A: stabile. Regione B: instabile. (II) andamento del fattore di smorzamento della risposta di v_s ad un gradino di ingresso in funzione di C_s e della coppia di induttanze selezionata. Le curve A, B, C si riferiscono ad induttanze di uscita crescenti, fissata L_i .

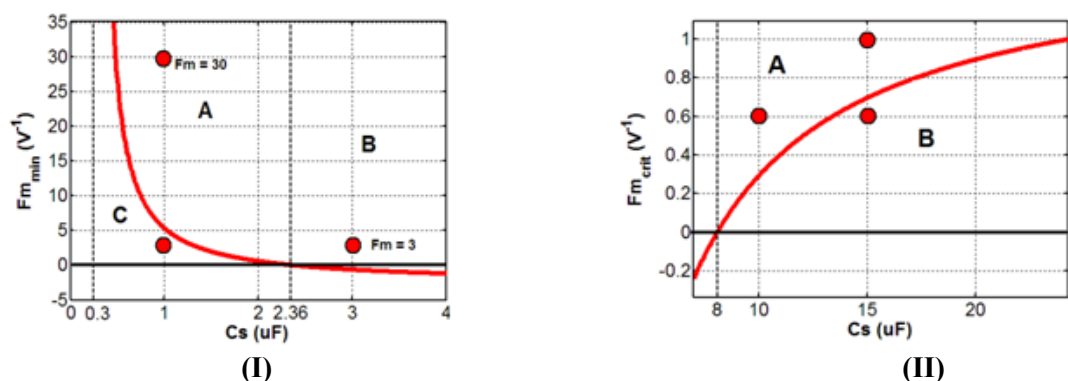


Fig. 3. Andamento di F_{m_crit} in funzione di C_s . (I) caso $L_o/L_i > M$. Il convertitore è stabile per $F_m > F_{m_crit}$ (regioni A e B). (II) caso $L_o/L_i < M$. Il convertitore è stabile per $0 < F_m < F_{m_crit}$ (regione B). Si noti che F_m non può assumere valori negativi.

Nel laboratorio di Circuiti Elettronici di Potenza dell'Università degli Studi di Salerno sono state condotte simulazioni numeriche e prove sperimentali che hanno permesso di verificare la correttezza dei risultati presentati.

Referenze

- [1] A. Cantillo, A. De Nardo, F. Forrì, N. Femia, W. Zamboni, "SEPIC Design part I-inductive damping", *Proc. of IEEE IECON*, 2009, pp. 1718-23.
- [2] A. Cantillo, A. De Nardo, F. Forrì, N. Femia, A. Russo, W. Zamboni, "SEPIC Design part II- capacitive damping", *Proc. of IEEE IECON*, 2009, pp. 1724-29.
- [3] A. Cantillo, A. De Nardo, N. Femia, W. Zamboni, "Stability issues in peak current controlled SEPIC", submitted to *IEEE Transactions on Power Electronics*.
- [4] A. Cantillo, A. De Nardo, N. Femia, W. Zamboni, "Analytical stability boundary for peak-current mode controlled SEPIC", submitted to *IEEE COMPEL*, 2010